

Circuito integrado modular para la síntesis digital de señales de reloj de libre programación

Guillermo Medrano*

Resumen

El presente artículo trata acerca de la implementación de un circuito sintetizador de frecuencias (generador de señales de reloj) como parte de un proyecto que se lleva a cabo en Philips Semiconductores. El circuito fue implementado utilizando herramientas de diseño digital tales como Lenguaje HDL (Verilog) y Sintetizadores de Circuito (Ambit). Al final del artículo se presenta una comparación entre el sistema propuesto y las soluciones convencionales. El circuito fue implementado hasta la fase simulación pos-síntesis (específicamente Generación de Prueba y Simulación de Fallas).

Introducción

La necesidad de generar señales de reloj (clock synthesis) juega un papel importante en el mercado de comunicaciones. En varias ocasiones es necesario generar diferentes frecuencias dentro de un mismo sistema. Es importante entonces tener un mismo circuito base, del cual se generen todas las diferentes frecuencias necesarias.

Algunos ejemplos de aplicación son:

- Teléfonos móviles
- Dispositivos de video

El diagrama de bloques de un dispositivo de video se muestra en la Fig 1.

Síntesis de Frecuencia y Diseño Digital

Síntesis de Frecuencia

Se denomina “*síntesis de frecuencia*” a la generación de una frecuencia o frecuencias que son múltiples de una frecuencia de referencia. La aplicación específica en la generación de señales de reloj se denomina

“*Síntesis de Reloj*” (Clock Synthesis). Ambos conceptos son usados de manera no diferenciada en el presente artículo.

Diseño Digital

El diseño digital ha evolucionado de los “diagramas de compuertas” conectados uno por uno, a la creación de circuitos a través de lenguajes denominados “Hardware Description Language (HDL)”. Un ejemplo de lenguaje HDL es Verilog.

El proceso de diseño de un circuito digital en la actualidad sigue los siguientes pasos, tal y como lo muestra el siguiente diagrama de bloques (Medrano 2004):

* Ingeniero en Electrónica. Profesor de la Escuela de Electrónica de la Universidad Don Bosco.

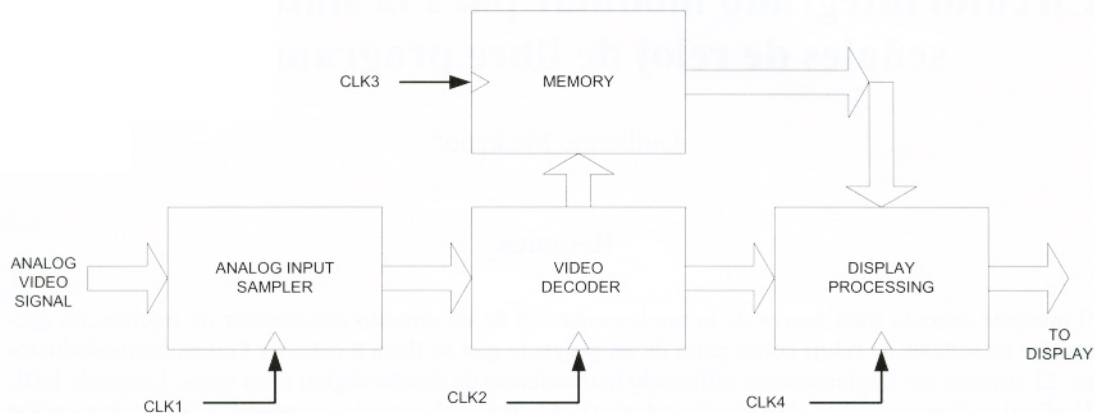


Fig. 1: Diagrama de bloques simplificado de un canal decodificador de señal de video

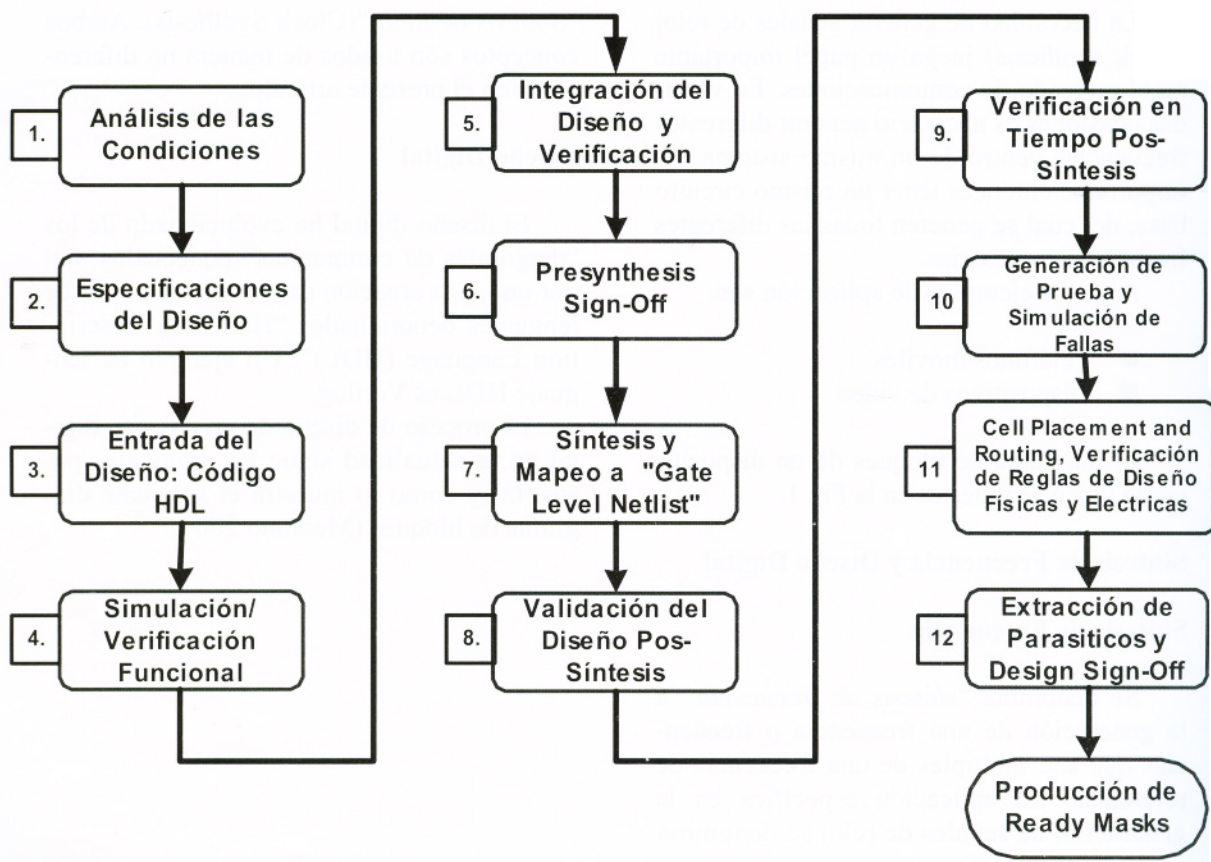


Fig. 2: Flujo del Diseño Digital

Ventajas	Desventajas
Facilidad para generar frecuencias en un rango amplio de aplicaciones	La precisión del reloj está restringida a las frecuencias discretas permitidas por la combinación específica PLL/Divisores de Frecuencia
Frecuencia de salida no limitada por la frecuencia de referencia F_{ref} (Frecuencia del cristal).	Control de estabilidad necesario para la fijación de diferentes frecuencias.
“Know-how” del circuito existente	Tendencia a “jitter”, debido al ruido de oscilamiento en el PLL (VCO), otros circuitos analógicos (CDA, filtros)
	Gran área necesaria, debido a la cantidad de elementos analógicos
	Cada PLL requiere una fuente de alimentación externa dedicada

DCS (Síntesis Digital de Reloj): Una nueva alternativa

Una nueva propuesta usando un nuevo concepto de “Síntesis Digital de Reloj” (Di-

gital Clock Synthesis DCS) ha sido propuesta en Medrano (2004):

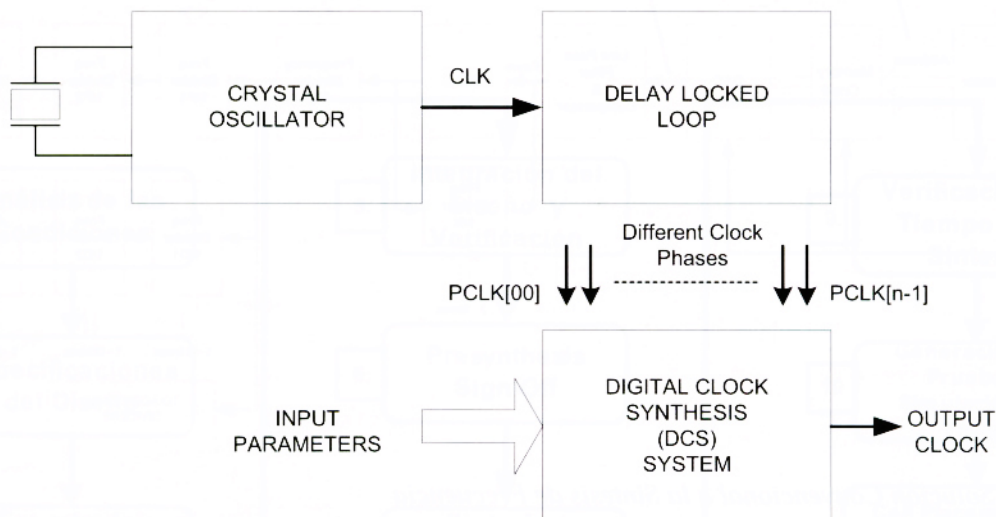


Fig. 4: Diagrama de bloques del diseño propuesto para DCS.

En esta propuesta, la señal de reloj proveniente del cristal es directamente introducida en el DLL, el cual produce diferentes fases de la señal de reloj original (CLK). El Sistema DCS utiliza estas fases de reloj para producir una señal de reloj deseada (OUTPUT CLOCK).

Los parámetros de entrada pueden incluir período y ciclo de trabajo entre otros. Estos parámetros pueden ser cambiados mientras el circuito se encuentra funcionando.

Ventajas	Desventajas
Mejorar la generación de señales de reloj: Selección de ciclo de trabajo y frecuencia arbitrarias hasta la frecuencia de referencia Fref.	Máxima frecuencia posible = Frecuencia del Cristal (fclk)
El DLL trabaja a una frecuencia de cristal muy estable ("jitter" más bajo esperado)	Máxima resolución en tiempo (fase) = $1/(n*fclk)$
Mayor número de sintetizadores de reloj por circuito integrado	
Esfuerzo para prueba del circuito reducida	
Menor área en silicio (Esperada)	
Menor esfuerzo requerido para el diseño	
Mejores alcances en la simulación	
Diseño de Circuito más flexible	
Mayor facilidad para la transferencia del circuito a nuevas tecnologías	

Tres aplicaciones basadas en la presente propuesta y en la referencia (Furtner 2002) han sido implementadas usando código Verilog HDL, sintetizadas y simuladas post-síntesis.

1ª Aplicación (CGU): Este circuito permite generar una señal de reloj en la cual es posible seleccionar el periodo y el ciclo de trabajo. Ver Fig 5.

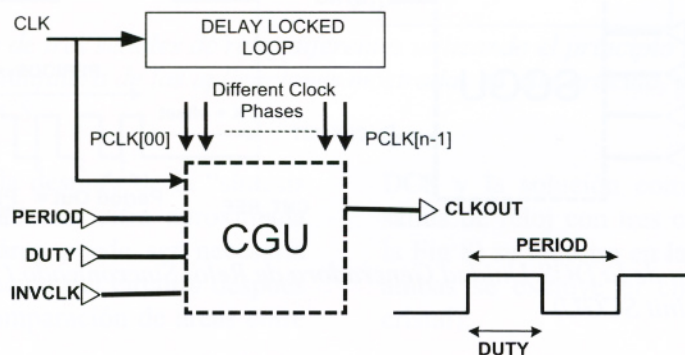


Fig.5: 1ª Aplicación de la DCS: Unidad Programable Generadora de Reloj de Carrera Libre (Programmable Free Running Clock Generation Unit: CGU)

2ª Aplicación (CGU2): Circuito que incluye los parámetros de entrada de la prime-

ra aplicación, y que adicional puede seleccionarse la fase respecto a una referencia).

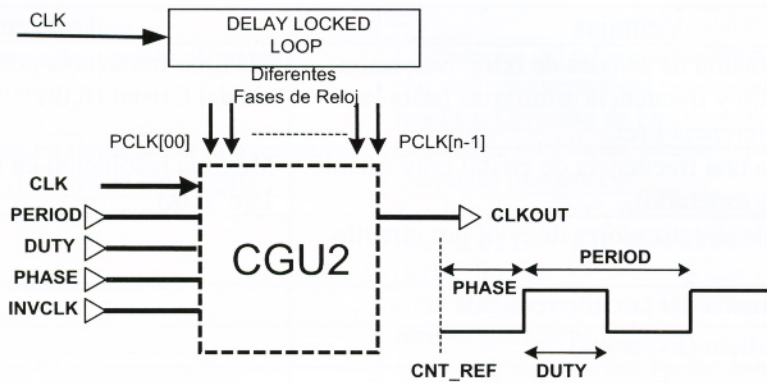


Fig. 6: 2ª Aplicación de la DCS: Unidad Generadora de Reloj de Fase Programable (Programmable Phase Free running Clock Generation Unit: (CGU2))

3ª Aplicación (SCGU): Permite generar una señal de reloj sincronizada a una señal externa (SYNC). Además es posible seleccionar el número de ciclos de la señal de reloj, por ciclo de la señal de sincronización (samples).

ción el número de ciclos de la señal de reloj, por ciclo de la señal de sincronización (samples).

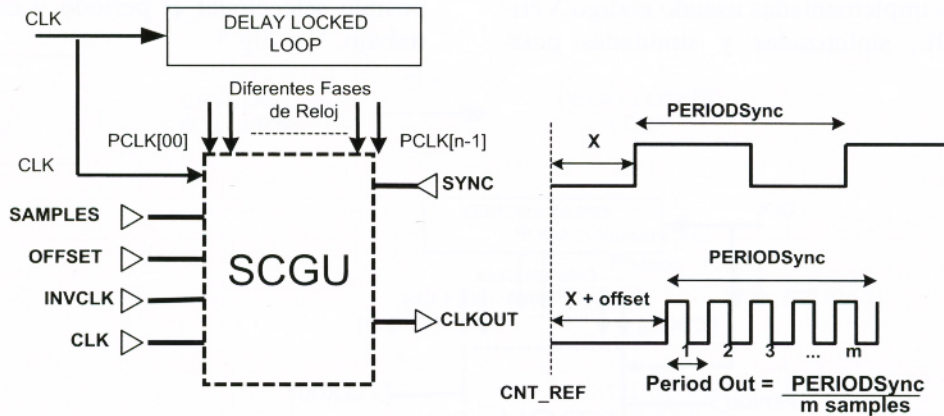


Fig. 7: 3ª Aplicación de la DCS: Unidad Generadora de Reloj Sincronizado (Synchronized Clock Generation Unit SCGU)

Las tres aplicaciones anteriores podrían ser utilizadas por un solo circuito de referencia; las fases de reloj producidas por un solo

DLL pueden ser utilizadas para alimentar en paralelo a varios circuitos DCS. El diagrama de bloques se muestra en la Fig 8:

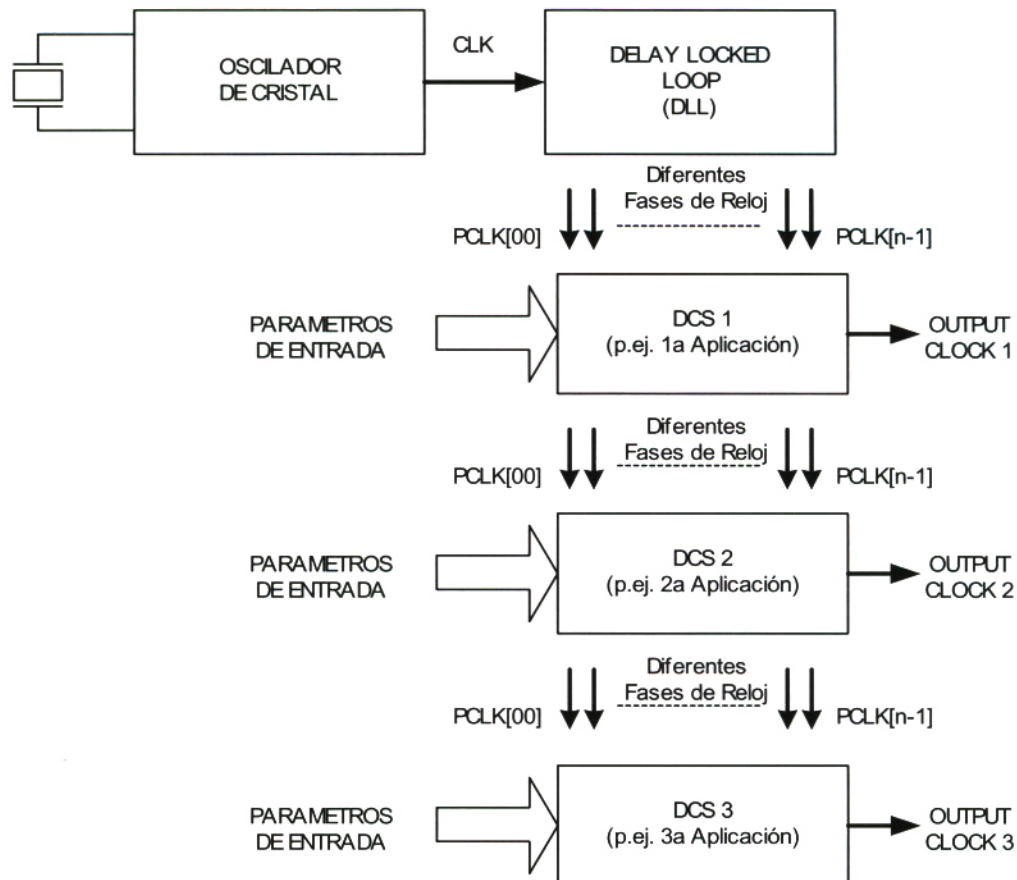


Fig. 8: Generación de tres señales de reloj diferentes utilizando el principio DCS. Los circuitos DCS podrían ser cualquiera de las aplicaciones mostradas en este artículo, u otras creadas bajo el principio DCS.

El área obtenida después de la “síntesis del circuito” nos da una cifra aproximada acerca de cuánta área puede ser necesaria para la implementación del circuito después del “layout”. La comparación de áreas entre

DCS y la solución convencional para una salida de reloj con tres canales (como el de la Fig 8) se muestra en la siguiente tabla (en ambas se excluye el circuito oscilador de cristal):

Tabla: Comparación de Área [mm²] (tecnología CMOS18)

SINTETIZADOR DE FRECUENCIA	LUT+PLL/DLL	3 Div/ DCS	Area Total	%
Conventional (LUT+PLL+Div)	0.37	0.03	0.40	100
DCS (DLL+DCS)	0.04	0.1	0.14	35

Conclusiones

- El principio del DCS constituye una alternativa a la solución convencional para la síntesis de frecuencias.
- En base al principio propuesto, 3 diferentes circuitos DCS han sido exitosamente diseñados, implementados, sintetizados y simulados pos-síntesis.

- Los circuitos muestran ventajas (para aplicaciones de baja frecuencia) en términos de Capacidad de síntesis de frecuencia y el Área esperadas, comparada con las soluciones convencionales
- El diseño es utilizable para frecuencias de referencia < 52.08 MHz (p.ej. Cristal Oscilador de 48MHz)
- Mejoras e investigaciones adicionales serán facilitadas debido a la posibilidad de usar herramientas de diseño digital, en lugar de procedimientos analógicos (requeridos en la solución convencional).
- La implementación del DCS en futuras tecnologías (CMOS12, CMOS9) requerirá de esfuerzo reducido debido al uso de diseño digital.

Bibliografía

- Bhatnagar, Himanshu. "Advanced ASIC Chip Synthesis. Using Synopsys Design compiler and Prime Time". Kluwer Academic Publishers. Sexta impresión. USA. 2001.
- Ciletti, Michael D. "Advanced Digital Design with the Verilog HDL". Prentice Hall. USA. 2003.
- Egan, William F. "Frequency Synthesis by Phase Lock". 2a Edición. John Wiley & Sons, Inc. USA. 2000.
- Furtner, Wolfgang. By Philips Semiconductors. "Digital Clock Synthesis" Octubre 2002.
- Goldberg, Bar-Giora. "Digital Techniques in Frequency Synthesis". McGraw-Hill. USA. 1996.
- Kroupa, Venceslav F. "Direct Digital Frequency Synthesizers". IEEE Press. USA. 1999.
- Medrano, Guillermo. "Realization of a Modular Integrated Circuit for Digital Síntesis of free Programmable Clock Signals". Hamburgo, Marzo del 2004.
- Palnitkar, Samir. "Verilog® HDL. A guide to Digital Design and Synthesis". Sunsoft Press. A Prentice Hall Title. USA. 1996.